

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11121701 A**

(43) Date of publication of application: **30.04.99**

(51) Int. Cl

**H01L 27/08**

**H01L 21/76**

(21) Application number: **09279247**

(71) Applicant: **TOSHIBA CORP**

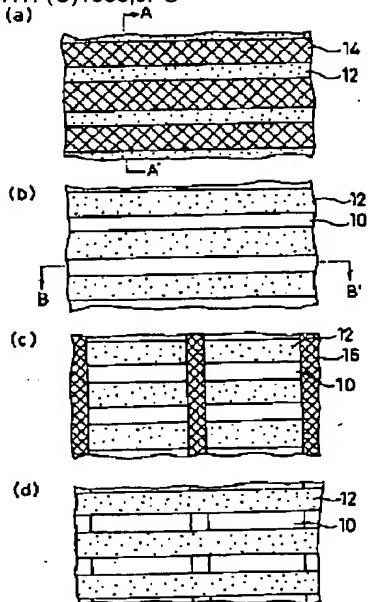
(22) Date of filing: **13.10.97**

(72) Inventor: **ISOBE KAZUAKI**

(54) **SEMICONDUCTOR DEVICE AND MANUFACTURE  
THEREOF**

isolation region is formed.

COPYRIGHT: (C)1999,JPO



(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device, having an array-like semiconductor element and an element isolation region to isolate elements from each other, which can be microscopically formed and miniaturized in a highly precise manner, and to provide a method of manufacturing the above-mentioned semiconductor device.

SOLUTION: A thin film of insulating material, a semiconductor or a metal is formed on a substrate 10, the thin film is selectively etched by a photolithography method, and a linear thin film pattern is formed. Besides, a linear resist pattern, which is orthogonally intersecting with the above-mentioned thin film pattern, is formed on the substrate 10, the surface of the substrate 10 is etched using the above-mentioned thin film pattern and the resist pattern as an etching mask, and a trench is formed in the surface of the substrate 10. An insulating film is formed in the surface of the substrate 10, the above-mentioned trench is filled with the insulating film, and an element

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-121701

(43)公開日 平成11年(1999)4月30日

(51)Int.Cl.<sup>8</sup>  
H 01 L 27/08  
21/76

識別記号  
331

F I  
H 01 L 27/08  
21/76

331 A  
L

審査請求 未請求 請求項の数12 OL (全 13 頁)

(21)出願番号 特願平9-279247

(22)出願日 平成9年(1997)10月13日

(71)出願人 000003078

株式会社東芝  
神奈川県川崎市幸区堀川町72番地

(72)発明者 磯辺 和亞樹  
神奈川県川崎市幸区小向東芝町1 株式会  
社東芝多摩川工場内

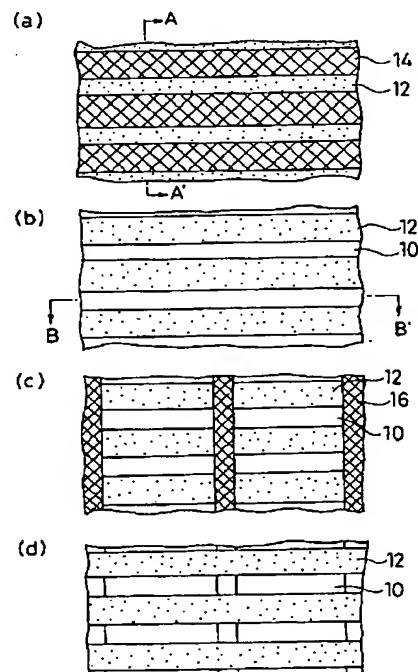
(74)代理人 弁理士 三好 秀和 (外3名)

(54)【発明の名称】 半導体装置の製造方法および半導体装置

(57)【要約】

【課題】アレイ状の半導体素子と各素子を分離する素子分離領域を有する半導体装置において、より高精度に微細化と縮小化が可能な半導体装置およびその製造方法を提供することである。

【解決手段】基板上に、絶縁体、半導体もしくは金属のいずれかの薄膜を形成する工程と、フォトリソグラフィ法を用いて、前記薄膜を選択的にエッチングし、ライン状の薄膜パターンを形成する工程と、前記基板上に、前記薄膜パターンに直交するライン状のレジストパターンを形成する工程と、前記薄膜パターンと前記レジストパターンとを同時にエッチングマスクとして用いることにより、矩形開口パターンを有するエッチングマスクとし、該基板表面をエッチングし、該基板表面にトレンチを形成する工程と、該基板表面に絶縁膜を成膜し、前記トレンチを該絶縁膜で埋め込み、素子分離領域とする工程とを有する。



1

## 【特許請求の範囲】

【請求項1】 基板上もしくは基板上に形成された絶縁膜上に、絶縁体、半導体もしくは金属のいずれかの薄膜を形成する工程と、

前記薄膜を選択的にエッチングし、ライン状の薄膜パターンを形成する工程と、

前記基板上に、前記ライン状の薄膜パターンに直交するライン状のレジストパターンを形成する工程と、

前記ライン状の薄膜パターンと前記ライン状のレジストパターンとをエッチングマスクとして、該基板表面をエッチングし、該基板表面に矩形平面形状を有する溝を形成する工程と、

該基板表面に、絶縁膜、半導体膜もしくは金属膜を成膜し、前記溝を埋め込む工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 アレイ状に配列された複数のトランジスタセルと、この各セル間に配置された複数の素子分離領域を有する半導体装置の製造方法であり、

前記溝を埋め込む工程が、該基板上に絶縁膜を成膜し、前記溝を前記絶縁膜で埋め込み、該素子分離領域を形成することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記ライン状の薄膜パターンの幅、もしくは前記ライン状のレジストパターンの幅が、前記複数の素子分離領域における各素子分離領域の隣接間距離に對応することを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項4】 前記ライン状の薄膜パターンと前記ライン状のレジストパターンのいずれか一方もしくは両方が、加工限界サイズで形成されていることを特徴とする請求項1、2、3のいずれかに記載の半導体装置の製造方法。

【請求項5】 基板上に、前記基板とは異なるエッチング性を有する第1薄膜を形成する工程と、

前記第1薄膜表面上に、前記第1薄膜とは異なるエッチング性を有する第2薄膜を形成する工程と、

前記第2薄膜上に前記第1薄膜と同様なエッチング性を有する第3薄膜を形成する工程と、

前記第3薄膜を、選択的にエッチングし、ライン状の第3薄膜パターンを形成する工程と、

該基板表面に、前記ライン状の第3薄膜パターンと直交するライン状のレジストパターンを形成する工程と、

前記ライン状の第3薄膜パターンと前記ライン状のレジストパターンとをエッチングマスクとして、前記第2薄膜をエッチングし、前記第2薄膜に前記第3薄膜パターンと前記レジストパターンを転写し、矩形開口部を有する第2薄膜パターンを形成する工程と、

前記第2薄膜パターンをエッチングマスクとして、前記

第3薄膜および前記第1薄膜の露出部をエッチングする工程と、

10

前記第2薄膜をエッチングし、矩形開口部を有する第1薄膜パターンを露出させる工程と、

前記第1薄膜パターンをエッチングマスクとして、該基板表面をエッチングし、該基板表面に矩形平面形状を有する溝を形成する工程と、

該基板表面に、絶縁膜、半導体膜もしくは金属膜を成膜し、前記溝を埋め込む工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】 アレイ状に配列された複数のトランジスタセルと、この各セル間に配置された複数の素子分離領域を有する半導体装置の製造方法であり、

前記溝に、絶縁膜を埋め込むことにより、前記素子分離領域が形成されることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】 前記ライン状の第3薄膜パターンの幅、もしくは前記ライン状のレジストパターンの幅が、前記複数の素子分離領域における素子分離領域の隣接間距離に對応することを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】 前記ライン状の第3薄膜パターンと前記ライン状のレジストパターンのいずれか一方もしくは両方が、該製造方法における加工限界サイズで形成されることを特徴とする請求項5、6、7のいずれかに記載の半導体装置の製造方法。

【請求項9】 前記素子分離領域を形成した後に、前記基板表面に導電性薄膜を形成し、前記導電性薄膜を選択的にエッチングし、複数セルに跨るゲートを形成する工程と、

前記ゲートと、該素子分離領域を注入マスクとし、基板表面層に不純物を注入し、熱拡散により、自己整合的にソース領域とドレイン領域を形成する工程とを有する請求項2、3、4、6、7、8のいずれかに記載の半導体装置の製造方法。

【請求項10】 前記基板が、シリコン基板であり、前記導電性薄膜が、多結晶シリコン膜であり、さらに、該基板表面に絶縁膜を形成する工程と、

前記ゲート側壁のみに前記絶縁膜が残留するように、前記絶縁膜をエッチングする工程と、

該基板表面に金属膜を形成する工程と、

該基板を加熱し、前記金属膜と前記ゲート、ソース領域およびドレイン領域の各界面にシリサイド化合物を形成する工程と、

シリサイド化されなかった前記金属膜をエッチング除去する工程とを有することを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項11】 前記半導体装置がNOR型ROMである請求項1～10のいずれかに記載の半導体装置の製造方法。

【請求項12】 請求項1～10のいずれかに記載の製造方法を用いて作製された半導体装置。

20

30

40

50

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、微細な矩形平面パターンを有する半導体装置、特にトランジスタセルアレイに付随して形成される複数の素子分離領域を有する半導体装置とその製造方法に関する。

## 【0002】

【従来の技術】NOR型 PROMやマスクROM等のように、共通ゲートを有する複数のトランジスタセルをアレイ状に配置する構成を持つ半導体装置においては、通常各セル間に絶縁膜による素子分離領域が形成される。

【0003】図11は、従来のNOR型 PROM (Programmable Read Only Memory) のメモリセル構成例を示す平面図である。同図に示すように、各セル領域は、LOCOS (Local Oxidation of Silicon) と呼ばれる素子分離領域の形成法により島状の素子分離領域600によって、電気的に分離絶縁されている。ゲート520は2本づつ各トランジスタセルと各素子分離領域600上を跨るように、図中縦方向にライン状に形成されている。各素子分離領域600と2本のゲートに囲まれた内側領域が各セルのドレイン領域530に相当し、外側領域が共通ソース領域510となっている。

【0004】通常、NOR型 PROMを形成するためには、まず、セル領域を画定するために基板表面上に素子分離領域600が形成される。図12は、従来のNOR型 PROMの素子分離領域形成工程における装置の一部平面図を示すものである。

【0005】図13 (a) ~図13 (c) は、素子分離領域形成工程の流れを示す図であり、図12中の破断線G-G'における断面図に相当する。従来、これらの素子分離領域は、LOCOSプロセスと呼ばれる方法で形成されていた。このLOCOSプロセスによれば、まず、図13 (a) に示すように、基板上に熱酸化法、CVD法等を用いて、シリコン酸化膜 (SiO<sub>2</sub>) 502と酸化されにくい性質を持つシリコン窒化膜 (SiNx) 504が形成される。この後、通常のフォトリソグラフィ法を用いて素子分離領域に開口部を持つレジスト膜506のパターンが形成される。図12は、この時の平面図を示す。

【0006】次に、図13 (b) に示すように、レジスト膜506をエッティングマスクとして、SiNx504のエッティングを行い、素子分離領域にSiO<sub>2</sub>膜502を露出させる。不要となったレジストは除去する。

【0007】その後、基板を熱酸化することにより、SiNx膜504をマスクとして開口部のシリコン基板表面を選択的に酸化し、図13 (c) に示すように、厚いSiO<sub>2</sub>膜を形成する。この後、図13 (d) に示すように、マスクとして使用したSiNx504とその下のSiO<sub>2</sub>膜502をエッティングにより除去する。この厚いSiO<sub>2</sub>膜が素子分離領域600となる。

【0008】図12は、上記工程中に、基板上に形成されるレジスト膜506のパターンを示すものである。本来レジストを露光する際に使用されるマスクパターンは図中破線で示すように、長さLdの矩形形状の素子分離領域パターンである。しかし、現在使用されているようなデザインルール0.4μmの微細プロセスにおいては、露光時の光近接効果を避けることができず、マスクパターンをレジストパターンに完全に転写できない。この結果、図に示すように、レジストパターンの長さLrはマスクパターンLdより後退して短くなり、端部も丸くなる。図11に示す従来のNOR型 PROMにおける各素子分離領域600の両端部が丸いのは主にこのせいである。

## 【0009】

【発明が解決しようとする課題】チップの小型化、メモリセルの大容量化の要請に伴い、セル領域、および素子分離領域ともにパターンの微細化と縮小化が望まれている。

【0010】しかしながら、上述したように、パターンが微細化するほど、フォトリソグラフィ工程における光近接効果の影響は大となり、レジストに転写される矩形パターンの端部は丸みを帯び、本来のマスクパターンより後退したパターンとなる。実際に得られる素子分離領域の平面パターンは、このレジストパターンを転写したものとなる。

【0011】素子分離領域600のパターン端部の丸まりは、素子分離領域幅d2(図11参照)の場所により変化することであり、このことは隣接する2つの素子分離領域600間に形成される、トランジスタセルのチャネル幅d1が場所によりばらつきを生じることを意味する。

【0012】各トランジスタセルの特性のばらつきを抑制するためには、チャネル幅一定の領域をある程度以上確保することが望まれる。このため、従来は素子分離領域600のパターン端からゲート520端部の距離d3を長く設定する必要があった。

【0013】レジストパターンの端部での丸まりや後退現象は、デザインルールがより微細になる程その影響が大きくなるため、微細化を進めるほど、加工ばらつきを考慮し、マスク上の素子分離領域の長さはレジストパターンに実際に転写して得られる長さより十分なマージンを加えた長さにする必要がある。

【0014】また、マスク上で隣接する素子分離領域間距離を加工可能な最小の幅で形成しても、レジストパターンの後退現象により、実際に得られる素子分離領域の隣接間距離d4は広がり、結果として隣接するゲート間距離d5も広がる。これに伴い、ゲート間距離d5で画定されるソース領域510が拡大すると、セル面積全体も拡大する事態となる。

【0015】また、LOCOSプロセスにおいては、図

13 (c) に示すように、通常シリコン基板表面を熱酸化する工程を用いるため、Si から SiO<sub>2</sub> に変化する過程での体積膨張、端部でのバーズピークと呼ばれる薄い酸化膜の発生が避けられず、開口マスクとして用いられる窒化シリコン膜 504 の開口幅 d<sub>d</sub> より LOCOS 領域の幅 d<sub>r</sub> は広がってしまい、微細化に不利であるとともに、サイズのばらつきも生じやすい。

【0016】また、最近検討され始めた STI (Shallow Tranch Isolation) と呼ばれる埋め込み型構造の素子分離領域がある。STI は、素子分離領域サイズが予め基板に形成された溝（トレンチ）の形状で画定されるため、従来 LOCOS プロセスを用いた場合に指摘された体積膨張による領域幅の拡がりやバーズピーク発生による領域幅の広がり等の問題がない。

【0017】しかし、一般に検討がされている STI においても、トレンチパターン形成のために必要となるフォトリソ工程において、光近接効果によるレジストパターン端部の丸まり等の問題は抱えている。STI の使用が主にデザインルールが微細なものを対象にしていることから、より深刻な問題ともいえる。

【0018】本発明は、上述する従来の問題に鑑みなされるものであり、その目的は、微細な矩形平面パターンを高精度に形成しうる半導体装置の製造方法を提供することであり、さらには、アレイ状に形成された半導体素子と素子分離領域を有する半導体装置において、より高精度に微細化と縮小化が可能な半導体装置の製造方法およびその製造方法で製造される半導体装置を提供することである。

#### 【0019】

【課題を解決するための手段】請求項 1 に記載の半導体装置の製造方法の特徴は、基板上に、もしくは基板上に形成された絶縁膜上に、絶縁体、半導体もしくは金属のいずれかの薄膜を形成する工程と、前記薄膜を選択的にエッチングし、ライン状の薄膜パターンを形成する工程と、前記基板上に、前記ライン状薄膜パターンに直交するライン状のレジストパターンを形成する工程と、前記ライン状薄膜パターンと前記ライン状レジストパターンとをエッチングマスクとして、該基板表面をエッチングし、該基板表面に矩形平面形状を有する溝を形成する工程と、該基板表面に、絶縁膜、半導体膜もしくは金属膜を成膜し、前記溝を埋め込む工程とを有することである。

【0020】上記請求項 1 に記載の半導体装置の製造方法の特徴によれば、ライン状のパターンを組み合わせて、矩形パターンを形成し、これをエッチングマスクに用いるため、従来のように、矩形のマスクパターンをレジストに転写する際に発生する光近接効果によるパターン端部でのパターンの丸まりや後退がない。よって、精度の高い矩形パターンを形成できる。

#### 【0021】請求項 2 に記載の半導体装置の製造方法の

特徴は、上記請求項 1 の製造方法において、アレイ状に配列された複数のトランジスタセルと、この各セル間に配置された複数の素子分離領域を有する半導体装置の製造方法であり、前記溝を埋め込む工程が、該基板上に絶縁膜を成膜し、前記溝を前記絶縁膜で埋め込み、該素子分離領域を形成するものであることである。

【0022】上記請求項 2 の特徴によれば、埋め込み型の精度の高い矩形平面形状を有する素子分離領域を形成することができる。埋め込み型であるため、素子分離領域の幅のばらつきが少なく、また、溝パターンを形成する際、光近接効果等の影響を考慮する必要がないため、マスク設計の際のマージンを小さくでき、より微細なマスクパターンが可能となる。

【0023】請求項 3 に記載の半導体装置の製造方法の特徴は、上記請求項 2 の製造方法において、前記ライン状の薄膜パターンの幅、もしくは前記ライン状のレジストパターンの幅が、前記複数の素子分離領域における各素子分離領域の隣接間距離に対応することを特徴とする。

【0024】上記請求項 3 の特徴によれば、素子分離領域の隣接間距離をライン状パターン幅で決定できるため、隣接間距離のサイズおよびばらつきをライン状パターンと同程度の精度で得ることができる。

【0025】請求項 4 に記載の半導体装置の製造方法の特徴は、上記請求項 1、2、3 の製造方法において、前記ライン状の薄膜パターンと前記ライン状のレジストパターンのいずれか一方もしくは両方が、加工限界サイズで形成されていることを特徴とする。

【0026】上記請求項 4 の特徴によれば、素子分離領域の隣接間距離を加工限界サイズで形成できる。

【0027】請求項 5 に記載の半導体装置の製造方法の特徴は、基板上に、前記基板とは異なるエッチング性を有する第 1 薄膜を形成する工程と、前記第 1 薄膜表面上に、前記第 1 薄膜とは異なるエッチング性を有する第 2 薄膜を形成する工程と、前記第 2 薄膜上に前記第 1 薄膜と同様なエッチング性を有する第 3 薄膜を形成する工程と、前記第 3 薄膜を、選択的にエッチングし、ライン状の第 3 薄膜パターンを形成する工程と、該基板表面に、前記ライン状の第 3 薄膜パターンと直交するライン状のレジストパターンを形成する工程と、前記ライン状の第 3 薄膜パターンと前記ライン状のレジストパターンとをエッチングマスクとして、第 2 薄膜をエッチングし、前記第 2 薄膜に前記第 3 薄膜パターンと前記レジストパターンを転写し、矩形開口部を有する第 2 薄膜パターンを形成する工程と、前記第 2 薄膜パターンをエッチングマスクとして、前記第 3 薄膜および前記第 1 薄膜の露出部をエッチングする工程と、前記第 2 薄膜をエッチングし、矩形開口部を有する第 1 薄膜パターンを露出させる工程と、前記第 1 薄膜パターンをエッチングマスクとして、該基板表面をエッチングし、該基板表面に矩形平面

形状を有する溝を形成する工程と、該基板表面に、絶縁膜、半導体膜もしくは金属膜を成膜し、前記溝を埋め込む工程とを有することである。

【0028】上記請求項5の特徴によれば、直交する2種のライン状のパターンをレジストパターンから第3、第2の薄膜に転写し、最終的に第1の薄膜において、光近接効果等の影響を受けないシャープな角部パターンを有する矩形開口部を有するエッチングマスクを形成できる。単一層の比較的薄いエッチングマスクを用いて、基板のエッチングを行うことができるため、精度の高い矩形平面形状を得ることができるとともに、深い溝を形成する際にも、エッチングマスク厚みによる溝のアスペクト比増大の影響が少ないため、容易なエッチングが可能である。

【0029】請求項6に記載の半導体装置の製造方法の特徴は、請求項5の製造方法において、アレイ状に配列された複数のトランジスタセルと、この各セル間に配置された複数の素子分離領域を有する半導体装置の製造方法であり、前記溝に、絶縁膜を埋め込むことにより、前記素子分離領域が形成されることを特徴とする。

【0030】上記請求項6の特徴によれば、埋め込み型の素子分離領域を形成するため、まず、素子分離領域の幅のばらつきを少なくすることができる。さらに、溝パターンを形成する際、光近接効果等の影響を考慮する必要がないため、マスク設計の際のマージンを少なくできる。よってより微細なパターン設計が可能となる。

【0031】請求項7に記載の半導体装置の製造方法の特徴は、請求項6の製造方法において、前記ライン状の第3薄膜パターンの幅、もしくは前記ライン状のレジストパターンの幅が、前記複数の素子分離領域における素子分離領域の隣接間距離に対応することを特徴とする。

【0032】上記請求項7の特徴によれば、素子分離領域の隣接間距離をライン状パターン幅で決定できるため、該隣接間距離のサイズおよびばらつきをライン状パターンと同程度の精度で得られる。

【0033】請求項8に記載の半導体装置の製造方法の特徴は、請求項5、6、7の製造方法において、前記ライン状の第3薄膜パターンと前記ライン状のレジストパターンのいずれか一方もしくは両方が、該製造方法における加工限界サイズで形成されることである。

【0034】上記請求項8の特徴によれば、素子分離領域の隣接間距離を加工限界サイズで形成できる。

【0035】請求項9に記載の半導体装置の製造方法の特徴は、請求項2、3、4、6、7、8に記載の半導体装置の製造方法において、前記素子分離領域を形成した後に、前記基板表面に導電性薄膜を形成し、前記導電性薄膜を選択的にエッチングし、複数セルに跨るゲートを形成する工程と、前記ゲートと、該素子分離領域を注入マスクとし、基板表面層に不純物を注入し、熱拡散により、自己整合的にソース領域とドレイン領域を形成する

工程とを有する。

【0036】上記請求項9の特徴によれば、素子分離領域および隣接する素子分離領域間距離をより微細に、しかも高い精度を形成できるため、素子分離領域間に、ソース領域を形成する場合は、ソース領域面積も縮小化が可能となり、デバイスの縮小化が可能となる。

【0037】請求項10に記載の半導体装置の製造方法の特徴は、請求項9に記載の半導体装置の製造方法において、前記基板が、シリコン基板であり、前記導電性薄膜が、多結晶シリコン膜であり、さらに、該基板表面に絶縁膜を形成する工程と、前記ゲート側壁のみに前記絶縁膜が残留するように、前記絶縁膜をエッチングする工程と、該基板表面に金属膜を形成する工程と、該基板を加熱し、前記金属膜と前記ゲート、ソース領域およびドレイン領域の各界面にシリサイド化合物を形成する工程と、シリサイド化されなかった前記金属膜をエッチング除去する工程とを有することである。

【0038】上記請求項10の特徴によれば、さらに、各導電層の表面にシリサイドを形成することにより、低抵抗値化を図ることが可能となる。シリサイドが形成されるゲート上部表面、ソース領域表面、ドレイン領域表面は、いずれも平滑な面であるため、シリサイド形成が比較的容易に行われる。

【0039】上記請求項1～10において、製造する半導体装置は、例えばNOR型ROMであってもよい。

【0040】請求項12に記載の半導体装置の特徴は、請求項1～10のいずれかに記載の製造方法を用いて作製されていることである。

【0041】上記請求項12の特徴によれば、各請求項における特徴を備え、高い精度の微細な矩形平面パターンを有する半導体装置を提供できる。

【0042】

【発明の実施の形態】以下、本発明の各実施の形態について説明する。

【0043】なお、本実施の形態において作製する半導体装置としてはNOR型ROM等のアレイ状にトランジスタセルを有する半導体装置を例にとり説明する。

【0044】本実施の形態においても、ゲート、ソース、ドレインおよび素子分離領域の各領域の平面上での配置は、図11に示した従来のそれと基本的に変わらない。但し、ここでは、埋め込み型構造の素子分離領域(STI)の形成方法を例にとる。

【0045】以下、各第1、第2の実施の形態について、図面を参照しながら説明する。

【0046】(第1の実施の形態) 第1の実施の形態における半導体装置の製造方法について説明する。図1

(a)～図2(g)は、各工程における半導体装置の平面図である。また、図3(a)～図3(f)、および図4(a)～図4(f)は、各工程における半導体装置の断面図である。前者は、図1(a)中の破断線A-A'

における断面、後者は図1 (b) 中の破断線B-B'における断面に相当する。

【0047】以下、図1 (a) ~図2 (g) に示す平面図を中心に、随時2種の断面図を参照しながら第1の実施の形態における半導体装置の製造方法について説明する。

【0048】まず、シリコン基板表面に熱酸化法もしくはCVD法等を用いて、厚さ約500Å~1500ÅのSiO<sub>2</sub>膜12を形成する(図3 (a)、図4 (a))。

このSiO<sub>2</sub>膜12は、後の工程でシリコン基板をエッチングする際のエッチングマスクとして用いるものである。このエッチングマスクとしての条件、即ちシリコン基板に対し高いエッチング選択比を有するものであれば、SiO<sub>2</sub>膜に限られず他の絶縁膜、半導体膜、導電膜であってもよい。

【0049】次に、図1 (a) に示すように、SiO<sub>2</sub>膜12上に図中横方向に延びる複数のライン状のレジスト膜14のパターンを形成する。このレジストパターンのピッチは、後の工程で素子分離領域の幅を規定することとなる。

【0050】このレジスト膜14のパターンをエッチングマスクとして、基板上のSiO<sub>2</sub>膜12をエッチングし(図3 (b))、その後レジスト膜を除去する。基板上には、図1 (b) に示すように、素子分離領域を含むライン状領域にシリコン基板10表面が露出し(図4 (b))、それ以外の領域にライン状のSiO<sub>2</sub>膜12のパターンが残される。

【0051】次に、図1 (c) に示すように、先の工程で形成したSiO<sub>2</sub>膜12のライン状パターンと直交する方向、即ち図中縦方向に長い複数のライン状のレジスト膜16のパターンを形成する。例えば、このパターン幅は、0.25μm、好ましくは現行で得られるフォトリソ工程での加工最小限界幅とする。基板上には、素子分離領域に対応する矩形パターンのシリコン基板10のみが露出する(図4 (c))。

【0052】基板上に横方向に形成されたSiO<sub>2</sub>膜12のライン状パターンと縦方向に形成されたレジスト膜16のライン状パターンの両者をエッチングマスクとして、シリコン基板10のエッチングを行う。このエッチングは、例えばRIE(Reactive Ion Ething)法を用いる、エッチング後、不要となったレジスト膜16は除去する。

【0053】図1 (d) に示すように、シリコン基板10表面には、素子分離領域に対応する矩形平面パターンを有するトレンチ(溝)が形成される(図3 (c)、図4 (d))。例えば、このとき形成するトレンチの深さは約4000Åとする。

【0054】次に、図2 (e) に示すように、被覆性が良好なCVD法等を用いて、基板表面上に膜厚約600Å~8000ÅのSiO<sub>2</sub>膜18を形成する。先の工

程で形成したトレンチは、このSiO<sub>2</sub>膜18で埋められる(図3 (d)、図4 (e))。

【0055】基板表面の不要なSiO<sub>2</sub>膜18をCMP(Chemical Mechanical Polishing)法を用いて研削(図3 (e))、さらにウェットエッティングをすることで、トレンチ部のみにSiO<sub>2</sub>膜18を残す。こうして矩形平面パターンを有する素子分離領域5が形成される(図3 (f)、図4 (f))。

【0056】素子分離領域5の形成後は、通常のMOSトランジスタの製造方法に準じて各セルを形成する。即ち、CVD法等を用いて、基板表面にゲート酸化膜となる薄い緻密なSiO<sub>2</sub>膜を形成する。さらにその上に、CVD法等を用いてゲートとなる多結晶シリコン膜を形成する。フォトリソグラフィ法を用いて多結晶シリコン膜のパターニングを行い、図2 (g) に示すように各素子分離領域5を図中縦方向に跨るライン状のゲート19を形成する。

【0057】ゲート19を形成後は、ゲートパターンおよび素子分離領域を注入マスクとしてイオン注入法によりシリコン基板表面に、導電型に寄与する不純物を注入し、さらに熱酸化を行い不純物の拡散層を形成する。こうして、装置平面図である図5 (a) に示すように、自己整合的にソース領域30とドレイン領域31が形成され、本実施の形態における半導体装置の基本構造が完成する。

【0058】図5 (b) は、図5 (a) 中の破断線C1-C1'における半導体装置の断面図である。シリコン基板10上には、薄いゲート酸化膜32を介してゲート19が形成されており、各ゲート間の基板表面層には、ソース領域30とドレイン領域31が交互に形成されている。なお、同図に示すように、各ゲートの両壁に、絶縁膜によるサイドウォール33を設ける場合もある。

【0059】図5 (c) は、図5 (a) 中の破断線D-D'における半導体装置の断面図である。シリコン基板10の表面層では、所定間隔でSiO<sub>2</sub>膜18が埋められた素子分離領域5が形成されており、その間に不純物拡散領域であるドレイン領域31が形成されている。

【0060】以上に説明したように、第1の実施の形態における半導体装置の製造方法においては、従来LOCOSプロセスで形成されていた素子分離領域を、トレンチを形成し、これを絶縁膜で埋め込み、さらに基板表面を平坦化するプロセスを用いて形成しているため、LOCOSプロセスで問題となる素子分離領域の幅の拡大やバースピーク発生等に伴う問題が解決できる。

【0061】また、上述する第1の実施の形態における半導体装置の製造方法においてより重要な特徴は、素子分離領域形成に必要となるトレンチパターン形成の際、絶縁膜等より形成されたライン状のマスクパターンと、ライン状にパターニングされたレジストパターンとを互いに交差するように組み合わせて矩形の開口パターンを

形成し、これをエッチングマスクとしてシリコン基板表面に矩形平面形状を有するトレンチを形成していることである。

【0062】従来、微細な矩形平面パターンをレジスト膜で形成する場合は、パターン端部の角部が光近接効果等の影響により丸まったり、後退したりすることが避けられなかつたが、上述する第1の実施の形態における方法では、レジストパターンで形成する必要があるのは角部が存在しないライン状のレジストパターンのみであり、端部や角部が存在しないため、光近接効果等の影響によるパターンの丸まりや後退等がない。よって、マスク設計の際、従来のようにパターンの丸まりや後退を考慮したマージンをとる必要がなくなり、マスク上での素子分離領域パターン長さを短くすることが可能となる。

【0063】また、ライン状パターンは、一般にそのプロセスにおいて加工限界とされるサイズで形成できるため、素子分離領域となる矩形平面を有するトレンチパターンも同様にそのプロセスにおける加工限界サイズで形成することが可能となる。即ち、矩形平面を有する素子分離領域のパターンを高い精度で形成できる。隣接する素子分離領域間距離を加工限界幅にすることもできる。

【0064】さらにこれに付随し、ソース領域のサイズも縮小化できるため、メモリセル領域の縮小化、ひいては半導体装置全体の小型化が可能となる。

【0065】図6 (a) は、本実施の形態における半導体装置の応用例を示す半導体装置の断面図である。図5 (b) に示す断面図に相当する。同図に示すように、ここに示す半導体装置では、導電領域であるゲート19、ソース領域30およびドレイン領域31の各表面部分にシリサイド層19a、30a、31aが形成されている点に特徴がある。シリサイド層の存在により、各導電領域の低抵抗値化を図ることが可能となる。

【0066】図6 (a) に示すシリサイド層形成の手順を簡単に説明する。まず、ゲート19、ソース領域30、ドレイン領域31が形成された基板表面上にSiO<sub>2</sub>膜等の絶縁膜を形成する。その後、ゲート19の両側壁に絶縁膜が若干残るようこの絶縁膜をエッチングし、ゲートの両側壁にサイドウォール33を形成する。

続いて、基板表面上にシリサイド化合物を形成しうるチタン(Ti)、コバルト(Co)等の金属膜をスパッタ法やCVD法等を用いて形成する。基板を熱処理し、各領域と上記金属膜との熱反応を促して界面に金属シリサイドを形成する。金属シリサイドは、サイドウォールが形成されてないゲート19の表面、ソース領域30、ドレイン領域31の各表面層に形成される。この後、シリサイド化されていない金属膜をエッチング除去すると、図6 (a) に示すように、導電領域であるゲート19、ソース領域30およびドレイン領域31の各表面部分にシリサイド層19a、30a、31aが自己整合的に形成できる。

【0067】基本的なシリサイド形成工程は、従来の半導体装置製造工程で使用されていた工程と変わらない。ただし、一般に検討されているSTI構造の素子分離領域を有する半導体装置においては、ソース領域をトレンチ部に形成する必要が生じる場合があり、金属膜のカバレッジ等の問題が発生することが予想される。

【0068】しかし、図6 (a) や、図5 (a) 中の破断線C2-C2'での断面図である図6 (b) に示すように、本実施の形態における半導体装置においては、シリサイド層を形成するソース領域30とドレイン領域31の表面は平坦であるため、シリサイド層形成に必要なサイドウォール材の形成、金属膜の形成、シリサイド化等の工程を容易に行うことができる。

【0069】(第2の実施の形態) 第2の実施の形態における半導体装置の製造方法について説明する。図7

(a)～図8 (f) は、各工程における半導体装置の平面図である。また、図9 (a)～図9 (f)、および図10 (a)～図10 (f) は、各工程における半導体装置の断面図である。前者は、図7 (a) 中の破断線E-E'における断面、後者は図7 (b) 中の破断線F-F'における断面を示す。

【0070】以下、平面図を中心に、隨時2種の断面図を参照しながら第2の実施の形態における半導体装置の製造方法について説明する。

【0071】まず、シリコン基板10表面上に、CVD法等を用いて、SiO<sub>2</sub>膜20、多結晶シリコン膜22、SiO<sub>2</sub>膜24をこの順に形成する(図9 (a)、図10 (a))。このSiO<sub>2</sub>膜20、24は、後の工程で多結晶シリコン膜22あるいはシリコン基板10をエッチングする際のエッチングマスクとして用いるものである。エッチングにおけるシリコンとの選択比が高い材料であれば、SiO<sub>2</sub>膜に限らず他の材料を用いてもよい。

【0072】SiO<sub>2</sub>膜24表面上に図中横方向に延びる複数のライン状のレジスト膜26のパターンを形成する(図9 (b))。このレジスト膜26のパターンの隣接間距離は、後の工程において、素子分離領域の幅を決定する。

【0073】次に図7 (b) に示すように、レジスト膜26のパターンをエッチングマスクとして、基板上のSiO<sub>2</sub>膜24をエッチングする。エッチング後、不要となつたレジスト膜26は剥離除去すると、図7 (b) に示すように、基板表面には、レジスト膜26が存在した部分にSiO<sub>2</sub>膜24がライン状に残り、SiO<sub>2</sub>膜24がエッチングされた領域には下層の多結晶シリコン膜22が露出する(図9 (c)、図10 (b))。

【0074】図7 (c) に示すように、基板表面上に図中縦方向に延びるライン状のレジスト膜28のパターンを形成する。このレジスト膜28のパターンの隣接間距離は、後の工程において、素子分離領域の長さを決定す

こととなる(図10(c))。また、パターン幅は、素子分離領域の隣接間距離を決定する。パターン幅は、現行で得られる加工限界幅にすることが望ましい。図中横方向のSiO<sub>2</sub>膜24のパターンと図中縦方向のレジスト膜28のパターンをエッチングマスクとして、露出している多結晶シリコン膜22をエッチングする。エッチング後レジスト膜28は除去する。

【0075】図7(d)に示すように、多結晶シリコン膜22がエッチングされた領域には、下層のSiO<sub>2</sub>膜20が露出する。また、レジスト膜28に覆われていた領域には多結晶シリコン膜22が残存する(図9(d)、図10(d))。

【0076】この後、基板表面に露出しているSiO<sub>2</sub>膜20およびSiO<sub>2</sub>膜24をエッチング除去する。両膜は同質の膜であるため同時にエッチングされる。基板表面は、図8(e)に示すように、素子分離領域となる矩形領域に、シリコン基板10の表面が露出し、それ以外の領域には多結晶シリコン22が露出する(図9(e)、図10(e))。

【0077】図8(f)に示すように、多結晶シリコン膜22をエッチングすると、基板表面には、素子分離領域に対応する部分に矩形の開口を有するSiO<sub>2</sub>膜20のパターンが露出される。さらにエッチングを続けると、SiO<sub>2</sub>膜20の開口部に露出しているシリコン基板10がエッチングされ、シリコン基板10表面層にトレンチが形成される(図9(f)、図10(f))。トレンチの深さは例えば約4000Åとする。

【0078】この後に続ける工程は、第1の実施の形態と同様であり、図2(e)に示すように、例えばSiO<sub>2</sub>膜のように、素子分離領域を形成する絶縁膜を6000Å～8000Å程度CVD法等を用いて形成し、トレンチ内を埋める。CMP法を用いて基板の平坦化を行い、さらにウエットエッチングで基板表面に残ったSiO<sub>2</sub>膜をエッチング除去すれば、図2(f)に示すような素子分離領域5が形成できる。

【0079】この後に続ける半導体装置の製造工程は、第1の実施の形態において説明したように通常のトランジスタ製造工程に従って行えばよい。

【0080】以上に説明したように、第2の実施の形態における半導体装置の製造方法においても、第1の実施の形態の場合と同様に、素子分離領域をSTI構造で形成しているため、LOCOSプロセスで問題となる素子分離領域の幅のばらつきやバーズピーク発生に伴う問題を解決できる。

【0081】第1の実施の形態においては、素子分離領域形成に必要となるトレンチパターン形成工程において、ライン状の絶縁膜マスクパターンと、ライン状のレジストパターンとを組み合わせて矩形の開口パターンを形成し、これをエッチングマスクとしてシリコン基板表面に矩形平面形状を有するトレンチを形成していたのに

対し、第2の実施の形態においては、ライン状のレジストパターンを絶縁膜、多結晶シリコン層、絶縁膜と次々に転写し、最終的に図8(f)に示すような、矩形開口パターンが転写されたSiO<sub>2</sub>膜20のパターンを形成し、この単一層のエッチングマスクを用いて、シリコン基板をエッチングして、素子分離領域用トレンチを形成している。

【0082】即ち、第1の実施の形態の場合と同様に、ライン状パターンを組み合わせて矩形パターンを形成しているため、光近接効果等の影響によるパターン端部での丸みや後退を考慮する必要がなく、マスク設計の際に従来のようなマージンをとる必要がない。また、ラインパターンはそのプロセスにおいて加工限界とされるサイズで形成できるため、隣接する素子分離領域間距離をプロセスにおける加工限界サイズで形成することが可能となり、結果的に素子分離領域ならずソース領域面積の縮小化をも図ることができる。

【0083】また、レジスト膜のパターンは通常1μm以上の厚い膜とする必要があるため、第1の実施の形態のように、これをエッチングマスクとして基板表面に深いトレンチを形成する場合は、加工溝のアスペクト比がより高くなり良好なエッチングが困難となることが多いが、第2の実施の形態においては、最終的に下層の絶縁膜単一層による矩形開口部を有するパターンをエッチングマスクとして用いる。絶縁膜単一層からなるエッチングマスクは、エッチングするシリコン基板とのエッチング選択比との関係からその膜厚はせいぜい1000Å～1500Å程度で足りるため、第1の実施の形態における場合のように、レジスト膜をエッチングマスクとして用いる場合に比較しトレンチの形成は容易となる。

【0084】以上、実施の形態に沿って本発明について説明したが、本発明はこれらに制限されるものではない。上述した実施の形態は、いずれもアレイ状のトランジスタセルを有する半導体装置を例にとり、素子分離領域の形成方法を中心に説明したが、光近接効果により矩形パターンの端部の丸まりや後退は、微細加工が必要な種々の矩形パターン形成する場合に共通する課題である。

【0085】よって、例えば、矩形平面を有する金属配線やコンタクトホールや、トレンチキャバシタ等、あるいはトレンチとは無関係に微細な矩形平面形状を有する電極等を形成する際に、上述する実施の形態において説明したように、ライン状のエッチングパターンを組み合わせることによって、矩形パターンの形成を行えば、ラインパターンと同程度の加工精度、即ちそのプロセスにおける加工限界で各パターンを形成することが可能となる。

【0086】また、上述した実施の形態においては、シリコン基板に直接矩形平面パターンを形成する場合の例について説明しているが、基板の種類はシリコン基板に

限られず、また、基板上に絶縁膜が形成され、この絶縁膜上に矩形平面パターンを形成するものであってよい。その他、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

## 【0087】

【発明の効果】以上、説明したように、本発明によれば、パターン寸法が微細になっても、矩形平面パターンを形成する際の端部の丸まりや後退がなく、高い精度のパターニングを行うことができる。

【0088】特に、本発明の製造方法によりメモリセル中の素子分離領域を形成する場合は、素子分離領域の幅を一定にできるため、これにより規定される各セルのチャネル幅を一定にし、各セルのトランジスタ特性を安定化させることができる。

【0089】従来のように光近接効果等によるパターン端部での丸まりや後退を考慮した設計を行う必要がないため実質的に素子分離領域の長さを短くできる。また、隣接する素子分離領域の間をライン状パターンを用いて形成することから、パターン幅、即ち素子分離領域間距離をラインパターンの加工限界幅で形成することもできる。その結果、素子分離領域のみならず、ソース領域等の縮小化も可能となり、セル面積の縮小化、半導体装置の小型化を図ることもできる。

## 【図面の簡単な説明】

【図1】本発明の第1の実施の形態における半導体装置の製造方法を説明するための各工程における装置の部分平面図である。

【図2】本発明の第1の実施の形態における半導体装置の製造方法を説明するための各工程における装置の部分平面図である。

【図3】本発明の第1の実施の形態における半導体装置の製造方法を説明するための各工程における装置の部分断面図である。

## 【図4】本発明の第1の実施の形態における半導体装置\*

\*の製造方法を説明するための各工程における装置の部分断面図である。

【図5】本発明の第1の実施の形態における半導体装置の構造を示す、装置の平面図、断面図である。

【図6】本発明の第1の実施の形態における半導体装置の別の例を示す装置の断面図である。

【図7】本発明の第2の実施の形態における半導体装置の製造方法を説明するための各工程における装置の部分平面図である。

【図8】本発明の第2の実施の形態における半導体装置の製造方法を説明するための各工程における装置の部分平面図である。

【図9】本発明の第2の実施の形態における半導体装置の製造方法を説明するための各工程における装置の部分断面図である。

【図10】本発明の第2の実施の形態における半導体装置の製造方法を説明するための各工程における装置の部分断面図である。

【図11】従来の半導体装置の構造例を示す、装置の平面図である。

【図12】従来の半導体装置における素子分離領域形成工程における装置の部分平面図である。

【図13】従来の半導体装置における素子分離領域形成工程を説明するための各工程における装置の部分断面図である。

## 【符号の説明】

5 . . . 素子分離領域

10 . . . 基板

12、18、20、24 . . . SiO<sub>2</sub>膜

14、16、26、28 . . . レジスト膜

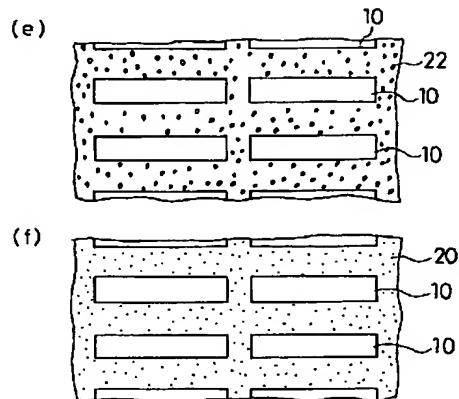
19 . . . ゲート

22 . . . 多結晶シリコン

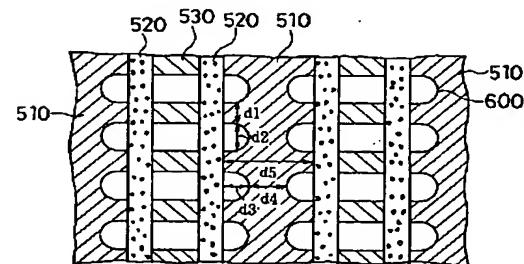
30 . . . ソース領域

31 . . . ドレイン領域

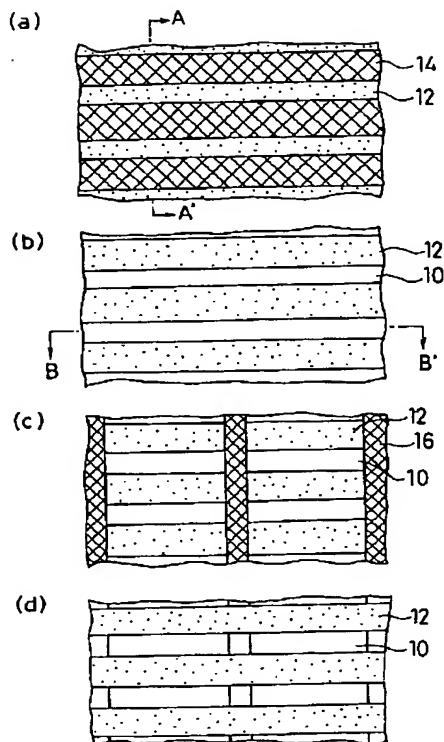
【図8】



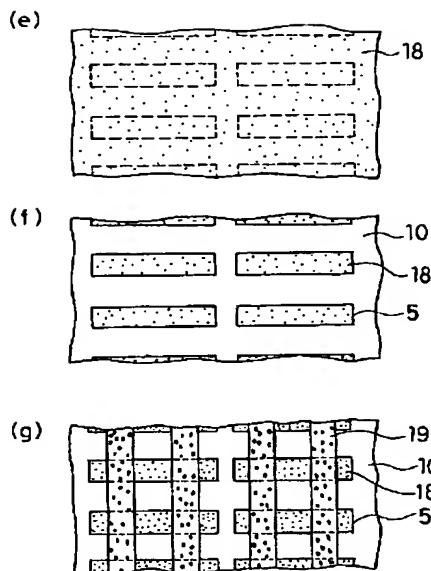
【図11】



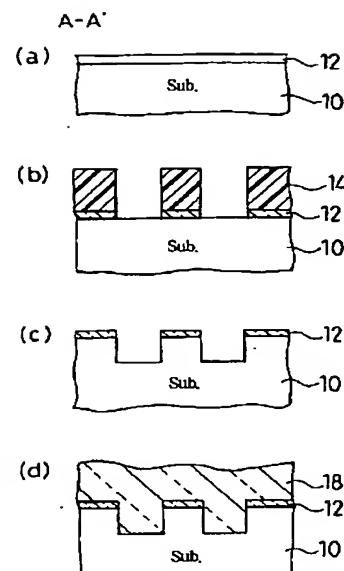
【図1】



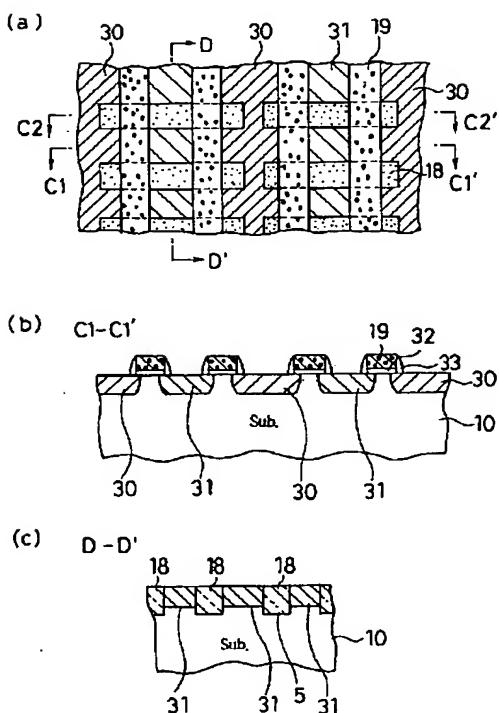
【図2】



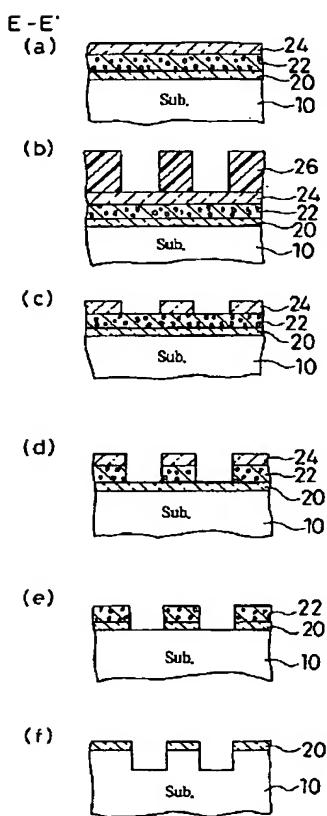
【図3】



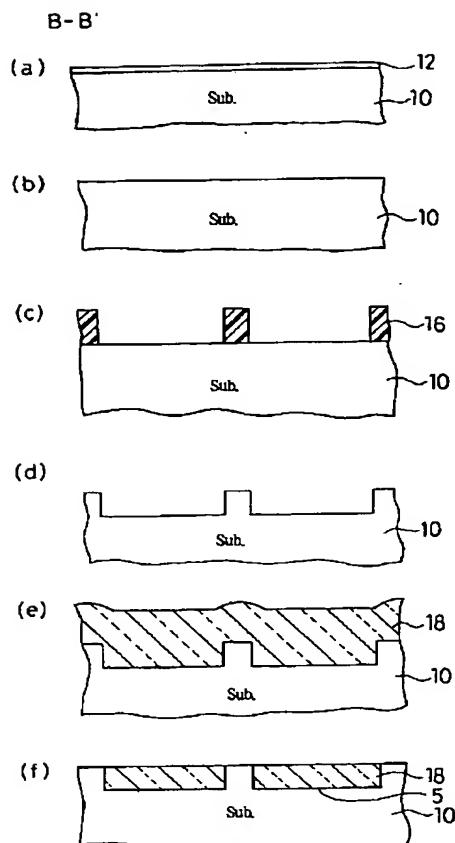
【図5】



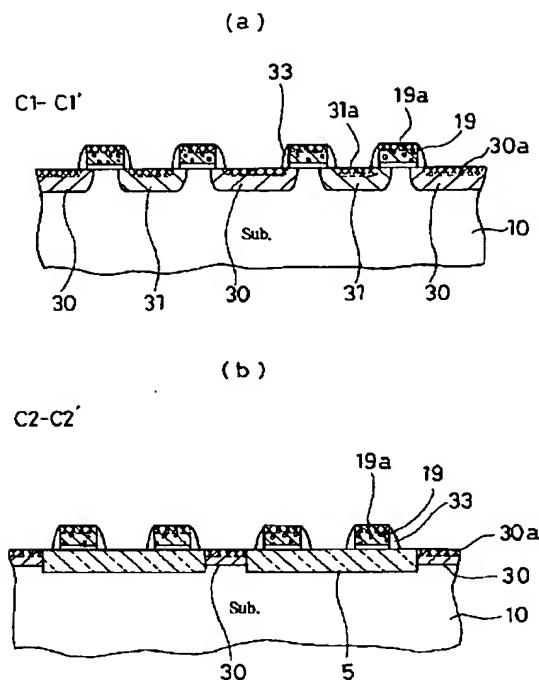
【図9】



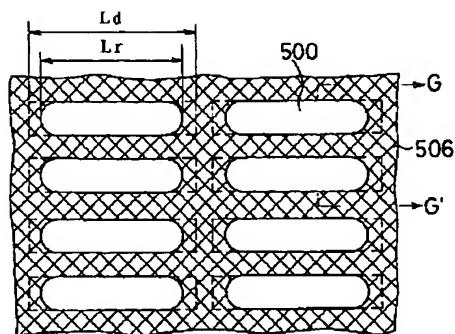
【図4】



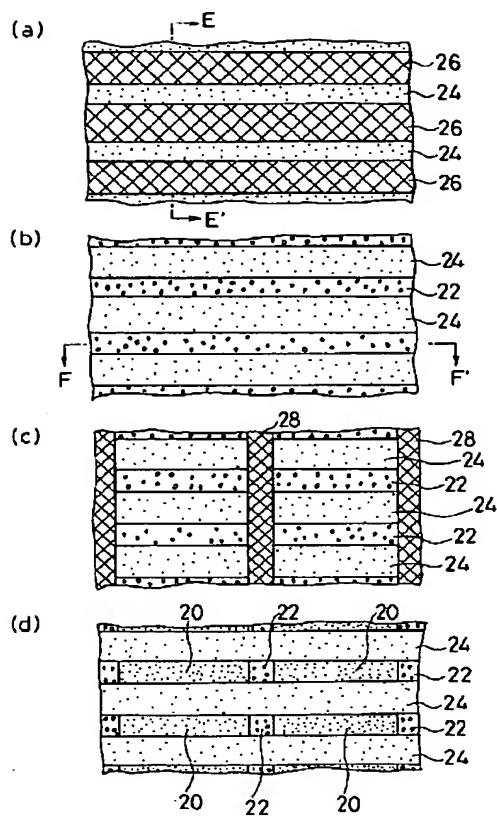
【図6】



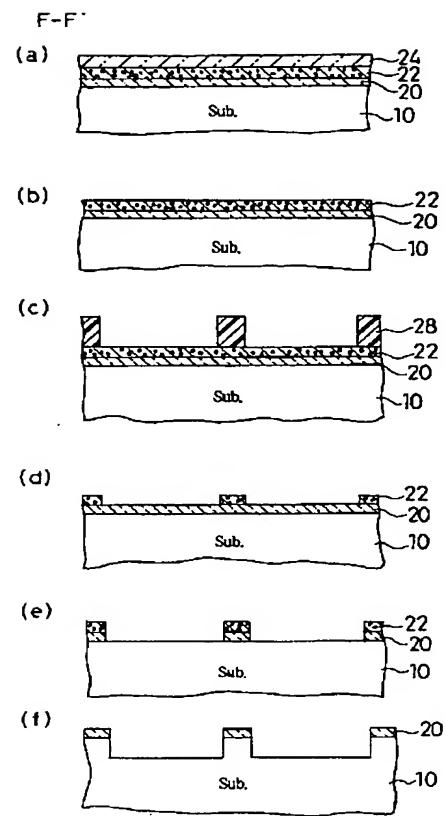
【図12】



【図7】



【図10】



【図13】

